PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001034949 A

(43) Date of publication of application: 09.02.01

(51) Int. CI

G11B 7/005

G01R 25/00

G01R 29/02

G11B 20/10

(21) Application number: 11208314

(22) Date of filing: 23.07.99

(71) Applicant:

MATSUSHITA ELECTRIC IND CO

LŤD

(72) Inventor:

MIYAMOTO TAKESHI MASUKO YASUNAO

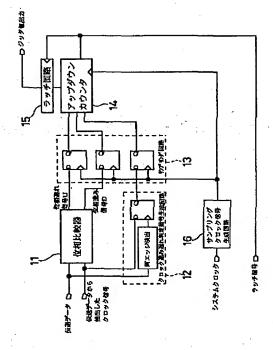
(54) JITTER DETECTION CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a circuit for detecting the jitter which can be composed of only binary digital processing circuits adapted to digital signals, reduces the entire circuit scale and the power consumption and raises the detection accuracy.

SOLUTION: A phase comparator 11 detects the phase differences of delayed or advanced clock data extracted from transmission data, relative to the transmission data, a sampling circuit 13 samples the detected phase differences with a separate clock signal independent of a transmission data extraction clock generated from a system clock by a sampling clock signal generator circuit 16, an up-down counter 14 counts them, and a latch circuit 15 integrates them so that the detecting operation of the jitter of the transmission data extraction clock for the transmission data, based on the integrated value, can be realized by only a digital process handling binary signals.

COPYRIGHT: (C)2001,JPO



ing the state of the control of the



(19)日本国特許庁:(JP)() (12)公開特許公報 (A)

さば、ども其一はほどりひょうかール、アウル・シエー では対し、のがれ、かからのは対力のとしてもの。とこ

Burray Marker Company Control ACT TO BE THE RESIDENCE OF THE SECOND STREET

(11)特許出願公開番号

- 特開2001-34949

 $(P2001 \div 34949A)$

- (43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl. シスマロウなる 識別記号 - 並イベウカおり

ない、G11B → 7/005 かとまるかけるのがあるがある。

- - - - - GO1R 25/00 点々で答案を大変な プラダくできてむ

デオモモリチ宮沼とを徐えたプラを底50/65。

化二氢氯化三氯铁镍合金

; - · · G11B 20/10 最近のテラ 321 元月音 - 【名原集計画

G11B 7/005

FI (参考)

29/02 L-5D090 L-5D090

G11B 20/10 321 321 E E CONTRACTOR

審査請求 未請求 請求項の数4 OL (全13頁)

(21)出願番号(アピス) 特願平11-208314 きぎぐっこくこ

計1、クロックの適つ活丸と物にするである結びでは一一 (22)出願日 美 東京平成11年7月23日(1999.7.23)

正というの変の変れ変更出する場合と、自己には下

とうちゃりても 6回 3データ語はつりょうとものです。

3.1.14円は大は代する存在では各も必ず出出は非理がかっ

さも過ぎ取り入れた。気感で見るいでした。ない。これ

はいわかさシステムルシステムクロックまととしていた アンススペースを担保さればなると記さる場合のため

- いっぱんとせいしつみとは私ったにりやくや混合いこ アンド K Triangled Light おきのはく IPS でもにして

とよりより関係による自分メリンと含めた一点を

とははは、複似の意味を見られる。 こうにん はいばれ いっぱい だっ道セリングリング 温楽によるせいカリング意とだ

・R.Dustak 中記が変更させ、アルシリュのFA A THE STATE OF THE (71)出願人 000005821 上書 ラー・マンサ 環境の点

松下電器產業株式会社(大学)自由於「治療」

(72)発明者《宮本《武司》。 如《古史》 二世為《京為古

大阪府門真市大字門真1006番地、松下電器

。 191 **産業株式会社内**よびも、ディデアの最近なる

大阪府門真市大字門真1006番地 松下電器

1、1911年,1915年1月1日日本1日本1日日

CARLOTTER CONTRACTOR

(74)代理人 100068087 中 長さ 温やさまさま 注金

最終身に続く

(54) 【発明の名称】ジッタ検出回路 はなるようほしゅう

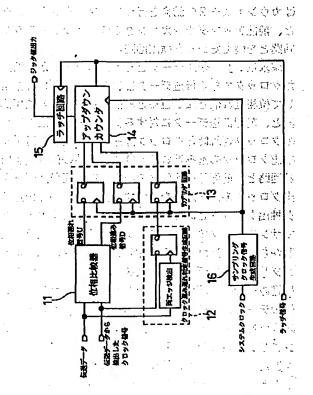
ではかり、さまり、20日かりロックいた。図書、ここ (57) 【要約】こりずして上見すべたに対応の正弦なしに

【課題】: ジッタを検出するための回路を、2値による デジタル処理を行うデジタル信号対応の回路のみで構成 することができ、全体の回路規模を小さくしかつ低消費 電力化するとともに、検出精度を向上することができる ジッタ検出回路を提供する。それで出り部の正確なした。

【解決手段】 伝送データおよび伝送データ抽出クロッ クに対して、伝送データに対する伝送データ抽出クロッ クの進みまたは遅れの位相差を、位相比較器11により 検出し、その位相差を、サンプリング回路13により、 システムクロックからサンプリングクロック信号生成回 路16で生成され伝送データ抽出クロックとは無関係な 別のクロック信号でサンプリングして、アップダウンカ ウンタ14によりカウントしさらにラッチ回路15で積 分化して、その積分値に基づく伝送データに対する伝送 データ抽出クロックのジッタの検出動作を、2値信号を 扱うデジタル処理のみにより実現する。

원인 나는 아이가 한 경험 경험 그는 나가 하면

Contract to the first



【特許請求の範囲】

【請求項1】 伝送データとその伝送データから抽出し たクロックである伝送データ抽出クロックとの位相差と して位相遅れ信号及び位相進み信号を出力する位相比較 器と、前記伝送データに対する伝送データ抽出クロック のクロック遅れ時とクロック進み時とで前記伝送データ 抽出クロックの進み遅れを判定する2値の信号を生成す る回路と、前記位相比較器の出力及び前記伝送データ抽 出クロックの進み遅れを判定する信号を、前記伝送デー 夕抽出クロックとは無関係で別の安定した本ジック検出 10 回路を含むシステムのシステムクロックまたはシステム クロックから生成したクロック信号でサンプリングする サンプリング回路と、前記位相比較器からの位相遅れ信 号の前記サンプリング回路によるサンプリング後のデー タα、及び前記位相比較器からの位相進み信号の前記サ ンプリング回路によるサンプリング後のデータβ、そし て前記伝送データ抽出クロックの進み遅れを判定する信 号の前記サンプリング回路によるサンプリング後のデー 夕POLについて、POLがクロック遅れ判定, α が L, βがLの時はカウント値±0、POLがクロック遅 20 れ判定、 α がL、 β がHの時はカウント値±0、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 +1、POLがクロック遅れ判定, α がH, β がHの時 はカウント値-2、POLがクロック進み判定、 α が L, βがLの時はカウント値±0、POLがクロック進 み判定、 α がL、 β がHの時はカウント値±0、POL がクロック進み判定、 α がH、 β がLの時はカウント値 -1、POLがクロック進み判定, α がH, β がHの時 はカウント値+2の動作を行うアップダウンカウンタ と、前記アップダウンカウンタの値をラッチするラッチ 回路とを備えたジッタ検出回路。

【請求項2】 伝送データとその伝送データから抽出し たクロックである伝送データ抽出クロックとの位相差と して位相遅れ信号及び位相進み信号を出力する位相比較 器と、前記伝送データに対する伝送データ抽出クロック のクロック遅れ時とクロック進み時とで前記伝送データ 抽出クロックの進み遅れを判定する2値の信号を生成す る回路と、前記位相比較器の出力及び前記伝送データ抽 出クロックの進み遅れを判定する信号を、前記伝送デー 夕抽出クロックとは無関係で別の安定したクロック信号 40 でサンプリングするサンプリング回路と、前記位相比較 器からの位相遅れ信号の前記サンプリング回路によるサ ンプリング後のデータα、及び前記位相比較器からの位 相進み信号の前記サンプリング回路によるサンプリング 後のデータβ、そして前記伝送データ抽出クロックの進 み遅れを判定する信号の前記サンプリング回路によるサ ンプリング後のデータPOLについて、POLがクロッ ク遅れ判定, α がL, β がLの時はカウント値±0、P OLがクロック遅れ判定、 α がL、 β がHの時はカウン

の時はカウント値+1、POLがクロック遅れ判定, α がH, βがHの時はカウント値-2、POLがクロック 進み判定、 α がL、 β がLの時はカウント値±0、PO Lがクロック進み判定、 α がL、 β がHの時はカウント 値 ± 0 、POLがクロック進み判定、 α がH、 β がLの 時はカウント値-1、POLがクロック進み判定。Faが Η, βがΗの時はカウント値+2の動作を行うアップダ ウンカウンタと、前記アップダウンカウンタの値をラッ チするラッチ回路とを備えたジッタ検出回路。

【請求項3】 伝送データとその伝送データから抽出し たクロックである伝送データ抽出クロックとの位相差と して位相遅れ信号及び位相進み信号を出力する位相比較 器と、前記伝送データに対する伝送データ抽出クロック のクロック遅れ時とクロック進み時とで前記伝送データ 抽出クロックの進み遅れを判定する2値の信号を生成す る回路と、前記位相比較器の出力及び前記伝送データ抽 出クロックの進み遅れを判定する信号を、前記伝送デー 夕抽出クロックとは無関係で別の安定した本ジッタ検出 回路を含むシステムのシステムクロックまたはシステム クロックから生成したクロック信号でサンプリングする サンプリング回路と、前記位相比較器からの位相遅れ信 号の前記サンプリング回路によるサンプリング後のデー タα、及び前記位相比較器からの位相進み信号の前記サ ンプリング回路によるサンプリング後のデータβ、そし て前記伝送データ抽出クロックの進み遅れを判定する信 号の前記サンプリング回路によるサンプリング後のデー タPOLについて、Tを実数で任意の値として、POL がクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定, α がL, β がHの時 はカウント値 ± 0 、POLがクロック遅れ判定、 α が H, β がLの時はカウント値+T、POLがクロック遅 れ判定, α がH, β がHの時はカウント値-2T、PO Lがクロック進み判定、 α がL、 β がLの時はカウント 値 ± 0 、POLがクロック進み判定、 α がL、 β がHの 時はカウント値±0、POLがクロック進み判定、 なが H, βがLの時はカウント値-T、POLがクロック進 み判定, α がH, β がHの時はカウント値+2Tの動作 を行うアップダウンカウンタと、前記アップダウンカウ ンタの値をラッチするラッチ回路とを備えたジッタ検出 回路。 強挺主

【請求項4】 伝送データとその伝送データから抽出し たクロックである伝送データ抽出クロックとの位相差と して位相遅れ信号及び位相進み信号を出力する位相比較 器と、前記伝送データに対する伝送データ抽出クロック のクロック遅れ時とクロック進み時とで前記伝送データ 抽出クロックの進み遅れを判定する2値の信号を生成す る回路と、前記位相比較器の出力及び前記伝送データ抽 出クロックの進み遅れを判定する信号を、前記伝送デー 夕抽出クロックとは無関係で別の安定したクロック信号 ト値 ± 0 、POLがクロック遅れ判定, α がH, β がL 50 でサンプリングするサンプリング回路と、前記位相比較

. 35

器からの位相遅れ信号の前記サンプリング回路によるサ ンプリング後のデータα、及び前記位相比較器からの位 相進み信号の前記サンプリング回路によるサンプリング 後のデータβ、そして前記伝送データ抽出クロックの進 み遅れを判定する信号の前記サンプリング回路によるサ ンプリング後のデータPOLについて、Tを実数で任意 の値として、POLがクロック遅れ判定, α がL、 β が Lの時はカウント値±0、POLがクロック遅れ判定, α がL, β がHの時はカウント値±0、POLがクロッ ク遅れ判定, α がH, β がLの時はカウント値+T \gtrsim P 10 O L がクロック遅れ判定、 α がH、 β がHの時はカウン ト値-2T、POLがクロック進み判定, α が上、 β が Lの時はカウント値±0、POLがクロック進み判定, α がL、 β がHの時はカウント値±0、POLがクロッ ク進み判定、 α がH、 β がLの時はカウント値-T、PO L がクロック進み判定、 α がH、 β がHの時はカウン ト値+2Tの動作を行うアップダウンカウンタとや前記 アップダウンカウンタの値をラッチするラッチ回路とを 備えたジッタ検出回路。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、光ディスク装置等からの伝送データとその伝送データからの抽出クロック間にあるジッタを検出するジッタ検出回路に関するものである。

[0002]

【従来の技術】近年、音楽等の音響データやバソコンによるプログラム実行のためのデータなど各種データの記録媒体であるCDやMDあるいはDVD等の光ディスクが、コンパクトで大容量という特徴を生かして、広く利 30 用されるようになり、これらの光ディスクから記録データを再生するための光ディスク装置が市場に多く出回っている。

【0003】このような光ディスク装置等においては、ディスクから再生された伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとに対して、伝送データに対する伝送データ抽出クロックのジッタを検出するジッタ検出回路が設けられている。以上のような従来のジッタ検出回路について、図面を参照しながら以下に説明する。

【0004】図9は従来のジッタ検出回路の構成を示すブロック図である。図9において、1は伝送データとその伝送データから抽出したクロック(以下、伝送データ抽出クロックと略称する)との位相差を出力する位相比較器、2は伝送データと伝送データ抽出クロック間での伝送データに対する伝送データ抽出クロックの進み遅れを判定する信号POLを生成するクロック進み遅れ判定信号生成回路、3はクロック進み遅れ判定信号生成回路2からの伝送データに対する伝送データ抽出クロックの進み遅れを判定する信号POLに対応して、位相比較器50

1からの出力信号を制御する位相比較出力制御回路、4 は位相比較出力制御回路3からのデジタル出力をアナログ形態の電圧値に変換するD/A変換回路、5はD/A 変換回路4からの出力信号を増幅するための増幅回路である。

【0005】以上のように構成されたジッタ検出回路に ついて、そのジッタ検出動作のフローを説明する。位相 比較器1では、伝送データ及び伝送データ抽出クロック が入力され、伝送データと伝送データ抽出クロックとの 位相差として、位相遅れ信号Uと位相進み信号Dとを出 力する。クロック進み遅れ判定信号生成回路2では、伝 送データの立ち上がり及び立ち下がりで伝送データ抽出 クロックをサンプリングすることにより、伝送データに 対して伝送データ抽出クロックが遅れている場合と進ん でいる場合とで2値の制御信号POLを生成する。...... 【0006】位相比較出力制御回路3では、クロック進 み遅れ判定信号生成回路 2 から出力される制御信号PO Lを使用して、位相比較器1の出力である位相遅れ信号 Uと位相進み信号Dの出力を制御する。この場合、クロ ック進み遅れ方向を示す制御信号POLがクロック遅れ 方向の場合には、位相遅れ信号UはD/A変換回路4の Nchトランジスタ側を制御し、位相進み信号DはD/ A変換回路4のPchトランジスタ側を制御する。ま た、クロック進み遅れ方向を示す制御信号POLがクロ ック進み方向の場合には、位相遅れ信号UはD/A変換 回路4のPchトランジスタ側を制御し、位相進み信号 DはD/A変換回路4のNchトランジスタ側を制御す

【0007】D/A変換回路4では、位相比較出力制御回路3から出力した2値の位相比較出力信号を、Pchトランジスタ側およびNchトランジスタ側において、制御信号POLの制御によるスイッチングを行うことにより電流値として積分した後、LPFでスムージングを行い、ジッタ値として電圧出力する。そして、D/A変換回路4の出力を増幅回路5で増幅することでジッタ検出回路のジッタ値として出力することにより、伝送データと伝送データ抽出クロックと間に存在するジッタの検出を行う。

[0008]

40

【発明が解決しようとする課題】しかしながら上記のような従来のジッタ検出回路では、ジッタ値を増幅回路5からアナログの電圧値として出力しているため、そのジッタ値に基づいてさらにデジタル値で演算するには、再度、A/D変換しなければならない。また、ジッタ検出回路を抵抗及び容量で構成する必要があり、この回路を半導体で実現した場合には、回路面積が増大するとともに、この回路を構成する抵抗及び容量の精度を得ることが非常に困難であるという問題点を有していた。

【0009】さらに、上記のように、ジッタ検出回路の 構成を抵抗や容量および半導体で実現した場合には、そ 三二 無用名

れら抵抗や容量および半導体の個々の消費電力が増大し、装置全体の消費電力も多くなるという問題点をも有していた。本発明は、上記従来の問題点を解決するもので、伝送データに対する伝送データ抽出クロックのジッタを検出するための回路を、2値によるデジタル処理を行うデジタル信号対応の回路のみで構成することができ、全体の回路規模を小さくしかつ低消費電力化するとともに、検出精度を向上することができるジッタ検出回路を提供する。

5

[0010]

【課題を解決するための手段】上記の課題を解決するために本発明のジッタ検出回路は、伝送データおよび伝送データ抽出クロックに対して、伝送データに対する伝送データ抽出クロックの進みまたは遅れの位相差を、伝送データ抽出クロックとは無関係な別のクロック信号でサンプリングしてカウントしさらに積分化して、その積分値に基づく伝送データに対する伝送データ抽出クロックのジッタの検出動作を、2値信号を扱うデジタル処理のみにより実現することを特徴とする。

【0011】以上により、伝送データに対する伝送デー 20 夕抽出クロックのジッタを検出するための回路を、2値によるデジタル処理を行うデジタル信号対応の回路のみで構成することができ、全体の回路規模を小さくしかつ低消費電力化するとともに、検出精度を向上することができる。

[0012]

【発明の実施の形態】本発明の請求項1に記載のジッタ 検出回路は、伝送データとその伝送データから抽出した クロックである伝送データ抽出クロックとの位相差とし て位相遅れ信号及び位相進み信号を出力する位相比較器 30 と、前記伝送データに対する伝送データ抽出クロックの クロック遅れ時とクロック進み時とで前記伝送データ抽 出クロックの進み遅れを判定する2値の信号を生成する 回路と、前記位相比較器の出力及び前記伝送データ抽出 クロックの進み遅れを判定する信号を、前記伝送データ 抽出クロックとは無関係で別の安定した本ジッタ検出回 路を含むシステムのシステムクロックまたはシステムク ロックから生成したクロック信号でサンプリングするサ ンプリング回路と、前記位相比較器からの位相遅れ信号 の前記サンプリング回路によるサンプリング後のデータ 40 α、及び前記位相比較器からの位相進み信号の前記サン プリング回路によるサンプリング後のデータβ、そして 前記伝送データ抽出クロックの進み遅れを判定する信号 の前記サンプリング回路によるサンプリング後のデータ POLについて、POLがクロック遅れ判定, α がし、 βがLの時はカウント値±0、POLがクロック遅れ判 定、 α がL、 β がHの時はカウント値±0、POLがク ロック遅れ判定、 α がH、 β がLの時はカウント値+ 1、POLがクロック遅れ判定, α がH, β がHの時は カウント値-2、POLがクロック進み判定, α がL,

 β がLの時はカウント値±0、POLがクロック進み判定, α がL, β がHの時はカウント値±0、POLがクロック進み判定, α がH, β がLの時はカウント値=1、POLがクロック進み判定, α がH, β がHの時はカウント値+2の動作を行うアップダウンカウンタと、前記アップダウンカウンタの値をラッチするラッチ回路とを備えた構成とする。

【0013】請求項2に記載のジッタ検出回路は、伝送 データとその伝送データから抽出したクロックである伝 送データ抽出クロックとの位相差として位相遅れ信号及 び位相進み信号を出力する位相比較器と、前記伝送デー 夕に対する伝送データ抽出クロックのクロック遅れ時と クロック進み時とで前記伝送データ抽出クロックの進み 遅れを判定する2値の信号を生成する回路と、前記位相 比較器の出力及び前記伝送データ抽出クロックの進み遅 れを判定する信号を、前記伝送データ抽出クロックとは 無関係で別の安定したクロック信号でサンプリングする サンプリング回路と、前記位相比較器からの位相遅れ信 号の前記サンプリング回路によるサンプリング後のデー タα、及び前記位相比較器からの位相進み信号の前記サ ンプリング回路によるサンプリング後のデータβ、そし て前記伝送データ抽出クロックの進み遅れを判定する信 号の前記サンプリング回路によるサンプリング後のデー タPOLについて、POLがクロック遅れ判定、αが L, β がLの時はカウント値±0、POLがクロック遅 れ判定, α がL, β がHの時はカウント値±0、POLがクロック遅れ判定、 α がH、 β がLの時はカウント値 +1、POLがクロック遅れ判定, α がH, β がHの時 はカウント値-2、POLがクロック進み判定,αが L、 BがLの時はカウント値±0、POLがクロック進 み判定, α がL, β がHの時はカウント値±0、POL がクロック進み判定、 α がH、 β がLの時はカウント値 -1、POLがクロック進み判定, α がH、 β がHの時 はカウント値+2の動作を行うアップダウンカウンタ と、前記アップダウンカウンタの値をラッチするラッチ 回路とを備えた構成とする。

【0014】請求項3に記載のジッタ検出回路は、伝送データとその伝送データから抽出したクロックである伝送データ抽出クロックとの位相差として位相遅れ信号及び位相進み信号を出力する位相比較器と、前記伝送データ抽出クロック遅れ時とクロック進み時とで前記伝送データ抽出クロックの進み遅れを判定する2値の信号を生成する回路と、前記位相比較器の出力及び前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックの進み遅れを判定する信号を、前記伝送データ抽出クロックとは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号でサンブリングするサンブリング回路と、前記位相比較器からの位相遅れ信号の前記サンブリング回路によるサンプリング後のデータα、及び前記位

相比較器からの位相進み信号の前記サンプリング回路に よるサンプリング後のデータβ、そして前記伝送データ 抽出クロックの進み遅れを判定する信号の前記サンプリ ング回路によるサンプリング後のデータPOLについ て、Tを実数で任意の値として、POLがクロック遅れ 判定, α がL, β がLの時はカウント値±0、POLが クロック遅れ判定、 α がL、 β がHの時はカウント値士 0、POLがクロック遅れ判定、 α がH、 β がLの時は カウント値+T、POLがクロック遅れ判定、 α がH、 βがHの時はカウント値-2T、POLがクロック進み 10 判定、 α がL、 β がLの時はカウント値±0、POLが クロック進み判定、 α がL、 β がHの時はカウント値士 0、POLがクロック進み判定, α がH, β がLの時は カウント値-T、POLがクロック進み判定, α がH, βがHの時はカウント値+2Tの動作を行うアップダウ ンカウンタと、前記アップダウンカウンタの値をラッチ するラッチ回路とを備えた構成とする。

【0015】請求項4に記載のジッタ検出回路は、伝送 データとその伝送データから抽出したクロックである伝 送データ抽出クロックとの位相差として位相遅れ信号及 20 び位相進み信号を出力する位相比較器と、前記伝送デー 夕に対する伝送データ抽出クロックのクロック遅れ時と クロック進み時とで前記伝送データ抽出クロックの進み 遅れを判定する2値の信号を生成する回路と、前記位相 比較器の出力及び前記伝送データ抽出クロックの進み遅 れを判定する信号を、前記伝送データ抽出クロックとは 無関係で別の安定したクロック信号でサンプリングする サンプリング回路と、前記位相比較器からの位相遅れ信 号の前記サンプリング回路によるサンプリング後のデー タα、及び前記位相比較器からの位相進み信号の前記サ ンプリング回路によるサンプリング後のデータβ、そし て前記伝送データ抽出クロックの進み遅れを判定する信 号の前記サンプリング回路によるサンプリング後のデー タPOLについて、Tを実数で任意の値として、POL がクロック遅れ判定、 α がL、 β がLの時はカウント値 ± 0 、POLがクロック遅れ判定、 α がL、 β がHの時 はカウント値 ± 0 、POLがクロック遅れ判定、 α が H, βがLの時はカウント値+T、POLがクロック遅 れ判定、 α がH、 β がHの時はカウント値-2T、PO Lがクロック進み判定, αがL, βがLの時はカウント 値 ± 0 、POLがクロック進み判定、 α がL、 β がHの 時はカウント値 ± 0 、POLがクロック進み判定, α が H, β がLの時はカウント値-T、POLがクロック進 み判定, α がH, β がHの時はカウント値+2Tの動作 を行うアップダウンカウンタと、前記アップダウンカウ ンタの値をラッチするラッチ回路とを備えた構成とす る。

【0016】以上の構成によると、伝送データおよび伝送データ抽出クロックに対して、伝送データに対する伝送データ抽出クロックの進みまたは遅れの位相差を、伝 50

送データ抽出クロックとは無関係な別のクロック信号でサンプリングしてカウントしさらに積分化して、その積分値に基づく伝送データに対する伝送データ抽出クロックのジッタの検出動作を、2値信号を扱うデジタル処理のみにより実現する。

【0017】以下、本発明の実施の形態を示すジッタ検 出回路について、図面を参照しながら具体的に説明す。

(実施の形態1) 本発明の実施の形態1のジッタ検出回 路を説明する。図1は本実施の形態1のジッタ検出回路 の構成を示すブロック図である。図1において、1.1は 伝送データと伝送データ抽出クロックの位相差として位 相遅れ信号U及び位相進み信号Dを出力する位相比較・ 器、12は伝送データと伝送データから抽出したクロッ クについて、クロック遅れ時とクロック進み時とでクロ ックの進み遅れを判定するための2値の信号を生成する クロック進み遅れ判定信号生成回路、13は位相比較器 11からの出力及びクロック進み遅れ判定信号生成回路 12からの信号を、伝送データ抽出クロックとは無関係 で独立し、安定した本ジッタ検出回路を含むシステムの システムクロックまたはシステムクロックから生成した クロック信号により、サンプリングするサンプリング回 路、14はサンプリング回路13によるサンプリング後 のデータをカウントするアップダウンカウンタ、15は アップダウンカウンタ14の値をラッチするラッチ回・ 路、16は上記のシステムクロックからサンプリング回 路13によるサンプリングの際のタイミング発生用のサ ンプリングクロック信号を生成するサンプリングクロッ ク信号生成回路である。

【0018】図2は本実施の形態1における動作を説明 するための各部の信号波形図である。図2において、2 1はディスクからの伝送データ、22は伝送データから 抽出したクロックである伝送データ抽出クロック、23 は位相比較器 1 1 の出力である位相遅れ信号 U、 2 4 は 位相比較器11の出力である位相進み信号D、25は位 相遅れ信号U23と位相進み信号D24そしてクロック 進み遅れ判定信号生成回路12で生成された伝送データ 抽出クロックの進み遅れ判定信号をサンプリングするた めのサンプリングクロック信号、26は位相遅れ信号U 23をサンプリング回路13でサンプリングした後のデ ータα、27は位相進み信号D24をサンプリング回路 13でサンプリングした後のデータ 8、28はクロック 進み遅れ判定信号生成回路12で生成された伝送データ 抽出クロック進み遅れ判定信号をサンプリング回路13 でサンプリングした後のデータPOL、29はアップダ ウンカウンタ14のカウント値の増減である。

【0019】以上のように構成された実施の形態1のジッタ検出回路について、その動作を以下に説明する。位相比較器11は、図2に示すように、伝送データ21及び伝送データ抽出クロック22に対し、その位相差とし

て、位相遅れ信号U23および位相進み信号D24を、

信号の幅として出力する。

【0020】クロック進み遅れ判定信号生成回路12 は、伝送データ21の立ち上がりエッジ及び立ち下がり エッジ毎に伝送データ抽出クロック22をサンプリング することにより、伝送データ抽出クロック22につい て、伝送データ21に対してクロック遅れ時とクロック 進み時とでクロックの進み遅れを判定する2値の信号を 生成する。

【0021】サンプリング回路13は、伝送データ抽出 10 クロック22とは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号を、サンプリングクロック信号 25で位相遅れ信号U23と位相進み信号D24でしてクロック進み遅れ判定信号生成回路12で生成されるクロックの進み遅れ判定信号をサンプリングし、各々で位相遅れ信号U23をサンプリングした後のデータ 22 6、位相進み信号D24をサンプリングした後のデータ β27、クロック進み遅れ判定信号生成回路12で生成 20 されたクロックの進み遅れを判定する信号をサンプリングした後のデータPOL28を出力する。

【0022】アップダウンカウンタ14は、データ α 26及びデータ β 27そしてデータPOL28の各条件に応じて、L=ローレベル,H=ハイレベルとして、以下のカウント動作を行う。POL"クロック遅れ判定", α "L", β "L" の時はカウント値±0、POL"クロック遅れ判定", α "H" の時はカウント値±0、POL"クロック遅れ判定", α "H" "等

"L"の時はカウント値+1、POL "クロック遅れ判 30 定", α "H", β "H"の時はカウント値-2、PO L "クロック進み判定", α "L", β "L"の時はカウント値±0、POL "クロック進み判定", α 出版 "L", β "H"の時はカウント値±0、POL "グロック進み判定", α "H", β "L"の時はカウント値 -1、POL "クロック進み判定", α "H", β "H"の時はカウント値+2。

【0023】ラッチ回路15は、アップダウンカウンタ14でカウントされた値を取り込みデジタル形態のジッタ値として出力する。以上のように実施の形態1によれ40は、位相比較器の位相遅れ信号Uそして位相進み信号D及び伝送データに対する伝送データ抽出クロックの進み遅れ判定信号を伝送データ抽出クロックとは全く無関係なクロックでサンブリングし、そして伝送データ抽出クロックの進み遅れに対しての位相差をカウントすることにより、伝送データに対する伝送データ抽出クロックの進み及び遅れの位相差について積分を行うことが可能となり、伝送データに対する伝送データ抽出クロックのジッタを検出することができる。

【0024】また、サンプリング信号については、本ジ 50 生成する。サンプリング回路33は、伝送データ抽出ク

ッタ検出回路を含んだシステムのシステムクロックを使 用することで実現可能になるため、新たにサンプリング 信号用にクロックを生成する必要がない。

(実施の形態2)本発明の実施の形態2のジッタ検出回路を説明する。

【0025】図3は本実施の形態2のジッタ検出回路の構成を示すプロック図である。図3において、31は伝送データと伝送データ抽出クロックの位相差として位相遅れ信号U及び位相進み信号Dを出力する位相比較器、32は伝送データと伝送データから抽出したクロックについて、クロック遅れ時とクロック進み時とでクロックの進み遅れを判定するための2値の信号を生成するクロック進み遅れ判定信号生成回路、33は位相比較器31からの出力及びクロック進み遅れ判定信号生成回路32からの信号を、伝送データ抽出クロックとは無関係に独立して入力される安定したクロック信号でサンプリングするサンプリング回路、34はサンプリング回路33によるサンプリング後のデータをカウントするアップダウンカウンタ、35はアップダウンカウンタ34の値をラッチするラッチ回路である。

【0026】図4は本実施の形態2における動作を説明 するための各部の信号波形図である。図4において、4 1はディスクからの伝送データ、42は伝送データから 抽出したクロックである伝送データ抽出クロック、343 は位相比較器31の出力である位相遅れ信号U、44は 位相比較器31の出力である位相進み信号D、45は位 相遅れ信号U43と位相進み信号D44そしてクロック 進み遅れ判定信号生成回路32で生成された伝送データ 抽出クロックの進み遅れ判定信号をサンプリングするた めのサンプリングクロック信号、46は位相遅れ信号U 43をサンプリング回路33でサンプリングした後のデ ータα、47は位相進み信号D44をサンプリング回路 33でサンプリングした後のデータβ、48はクロック 進み遅れ判定信号生成回路32で生成された伝送データ 抽出クロック進み遅れ判定信号をサンプリング回路33 でサンプリングした後のデータPOL、49はアップダ ウンカウンタ34のカウント値の増減である。 【0027】以上のように構成された実施の形態2のジ ッタ検出回路について、その動作を以下に説明する。位 相比較器31は、図4に示すように、伝送データ41及 び伝送データ抽出クロック42に対し、その位相差とし て、位相遅れ信号U43および位相進み信号D44を、

【0028】クロック進み遅れ判定信号生成回路32%は、伝送データ41の立ち上がりエッジ及び立ち下がりエッジ毎に伝送データ抽出クロック42をサンプリングすることにより、伝送データ抽出クロック42について、伝送データ41に対してクロック遅れ時とクロック進み時とでクロックの進み遅れを判定する2値の信号を生成する。サンプリング回路33は、伝送データ抽出ク

化乳头糖 地名美国威尔 医克雷斯特 医毛囊的

信号の幅として出力する。

ロック42とは無関係で別の安定したサンプリングクロック信号45を、サンプリング信号として用いる。このサンプリングクロック信号45で位相遅れ信号U43と位相進み信号D44そしてクロック進み遅れ判定信号生成回路32で生成されるクロックの進み遅れ判定信号をサンプリングし、各々、位相遅れ信号U43をサンプリングした後のデータ α46、位相進み信号D44をサンプリングした後のデータβ47、クロック進み遅れ判定信号生成回路32で生成されたクロックの進み遅れを判定する信号をサンプリングした後のデータPOL48を10出力する。

【0029】アップダウンカウンタ34は、データ α 46及びデータ β 47そしてデータPOL48の各条件に応じて、L=ローレベル,H=ハイレベルとしてに以下のカウント動作を行う。POL"クロック遅れ判定", α "L", β "L" の時はカウント値±0、POL"クロック遅れ判定", α "H", β "H" の時はカウント値±0、POL "クロック遅れ判定", α "H"; β "L" の時はカウント値+1、POL "クロック遅れ判定", α "H", β "H" の時はカウント値=2、POL "クロック進み判定", α "L" の時はカウント値±0、POL "クロック進み判定", α "L" の時はカウント値±0、POL "クロック進み判定", α "L" の時はカウント値 1、POL "クロック進み判定", α "H", β "H" の時はカウント値+2。

【0030】ラッチ回路35は、アップダウンカウンタ34でカウントされた値を取り込みデジタル形態のジッタ値として出力する。以上のように実施の形態2によれば、位相比較器の位相遅れ信号Uそして位相進み信号D及び伝送データに対する伝送データ抽出クロックの進み遅れ判定信号を伝送データ抽出クロックとは全く無関係なクロックでサンプリングし、そして伝送データ抽出クロックの進み遅れに対しての位相差をカウントすることにより、伝送データに対する伝送データ抽出クロックの進み及び遅れの位相差について積分を行うことが可能となり、伝送データに対する伝送データ抽出クロックのジッタを検出することができる。

(実施の形態3)本発明の実施の形態3のジッタ検出回 ・路を説明する。 - 高原 40

【0031】図5は本実施の形態3のジッタ検出回路の構成を示すブロック図である。図5において、51は伝送データと伝送データ抽出クロックの位相差として位相遅れ信号U及び位相進み信号Dを出力する位相比較器、52は伝送データと伝送データから抽出したクロックについて、クロック遅れ時とクロック進み時とでクロックの進み遅れを判定するための2値の信号を生成するクロック進み遅れ判定信号生成回路、53は位相比較器51からの出力及びクロック進み遅れ判定信号生成回路52からの信号を、伝送データ抽出クロックとは無関係で独50

立し、安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号により、サンプリングするサンプリング回路、54はサンプリング回路53によるサンプリング後のデータをカウントするアップダウンカウンタ、55はアップダウンカウンタ54の値をラッチするラッチ回路、56は上記のシステムクロックからサンプリング回路53によるサンプリングの際のタイミング発生用のサンプリングクロック信号を生成するサンプリングクロック信号を生成可路である。

【0032】図6は本実施の形態3における動作を説明 するための各部の信号波形図である。図6において、6 1はディスクからの伝送データ、62は伝送データから 抽出したクロックである伝送データ抽出クロック、63 は位相比較器51の出力である位相遅れ信号U、6.4は 位相比較器51の出力である位相進み信号D、65は位 相遅れ信号U63と位相進み信号D64そしてクロック 進み遅れ判定信号生成回路52で生成された伝送データ 抽出クロックの進み遅れ判定信号をサンプリングするた めのサンプリングクロック信号、66は位相遅れ信号U 63をサンプリング回路53でサンプリングした後のデ ータα、67は位相進み信号D64をサンプリング回路 53でサンプリングした後のデータβ、68はクロック 進み遅れ判定信号生成回路52で生成された伝送データ 抽出クロック進み遅れ判定信号をサンプリング回路53 でサンプリングした後のデータPOL、69はアップダ ウンカウンタ54のカウント値の増減である。 こうの 於 【0033】以上のように構成された実施の形態3のジ ッタ検出回路について、その動作を以下に説明する。位 相比較器51は、図6に示すように、伝送データ61及 び伝送データ抽出クロック62に対し、その位相差とし て、位相遅れ信号U63および位相進み信号D64を、 信号の幅として出力する。

【0034】クロック進み遅れ判定信号生成回路52は、伝送データ61の立ち上がりエッジ及び立ち下がりエッジ毎に伝送データ抽出クロック62をサンプリングすることにより、伝送データ抽出クロック62について、伝送データ61に対してクロック遅れ時とクロック進み時とでクロックの進み遅れを判定する2値の信号を生成する。

【0035】サンプリング回路53は、伝送データ抽出クロック62とは無関係で別の安定した本ジッタ検出回路を含むシステムのシステムクロックまたはシステムクロックから生成したクロック信号を、サンプリングクロック信号65に用いる。このサンプリングクロック信号65で位相遅れ信号U63と位相進み信号D64そしてクロック進み遅れ判定信号生成回路52で生成されるクロックの進み遅れ判定信号をサンプリングし、各々、位相遅れ信号U63をサンプリングした後のデータα66、位相進み信号D64をサンプリングした後のデータ

β67、クロック進み遅れ判定信号生成回路52で生成 されたクロックの進み遅れを判定する信号をサンプリン グした後のデータPOL68を出力する。「日間景学を

【0036】アップダウンカウンタ54は、データα6 6及びデータβ67そしてデータPOL68の各条件に 応じて、Tを実数で任意の係数値とし、かつL=ローレ ベル、H=ハイレベルとして、以下のカウント動作を行 う。POL "クロック遅れ判定", α "L", β "L" の時はカウント値±0、POL"クロック遅れ判定", α "L", β "H"の時はカウント値±0、POL "ク ロック遅れ判定", α "H", β "L" の時はカウント 値+T、POL "クロック遅れ判定" , α "H" $\beta \beta$ "H"の時はカウント値-2T、POL"クロック進み 判定", α "L", β "L"の時はカウント値±0、P OL"クロック進み判定", α "L", β "H"の時は カウント値±0、POL"クロック進み判定", α "H", β "L" の時はカウント値-T、POL "クロ

比較器の位相遅れ信号Uそして位相進み信号D及び伝送 データに対する伝送データ抽出クロックの進み遅れ判定 信号を伝送データ抽出クロックとは全く無関係なクロッ クでサンプリング、そして伝送データ抽出クロックの進 み遅れに対しての位相差をカウントすることにより、伝 送データに対する伝送データ抽出クロックの進み及び遅 れの位相差について積分を行うことが可能となり、伝送 データに対する伝送データ抽出クロックのジッタを検出 することができる。

ック進み判定", α "H", β "H"の時はカウント値

+2T.

【0038】また、サンプリング信号については、本ジ ッタ検出回路を含んだシステムのシステムクロックを使 用することで実現可能になるため、新たにサンプリング 信号用にクロックを生成する必要がない。さらにまた、 通常、検出したジッタ値は微小な値になることが多く、 そのままのジッタ値を使用してサーボの調整等を行う場 合には、そのための演算が行いずらくなるが、上記のよ うに、T倍することで、微小なジッタ値を増幅し、演算 を行いやすくすることができる。

(実施の形態4) 本発明の実施の形態4のジッタ検出回 路を説明する。

【0039】図7は本実施の形態4のジッタ検出回路の **_構成を示すブロック図である。図7において、71は伝** 送データと伝送データ抽出クロックの位相差として位相 遅れ信号U及び位相進み信号Dを出力する位相比較器、 72は伝送データと伝送データから抽出したクロックに ついて、クロック遅れ時とクロック進み時とでクロック の進み遅れを判定するための2値の信号を生成するクロ ック進み遅れ判定信号生成回路、73は位相比較器71 からの出力及びクロック進み遅れ判定信号生成回路7.2 からの信号を、伝送データ抽出クロックとは無関係に独 50 応じて、Tを実数で任意の係数値とし、かつL=ローレ

立して入力される安定したクロック信号でサンプリング するサンプリング回路、74はサンプリング回路73に よるサンプリング後のデータをカウントするアップダウ ンカウンタ、75はアップダウンカウンタ74の値をラ ッチするラッチ回路である。 主の外頭領

【0040】図8は本実施の形態4における動作を説明 するための各部の信号波形図である。図8において、8 1はディスクからの伝送データ、82は伝送データから 抽出したクロックである伝送データ抽出クロック、83 10 は位相比較器 7 1 の出力である位相遅れ信号 U、 8 4 は 位相比較器71の出力である位相進み信号D、85は位 相遅れ信号U83と位相進み信号D84そしてクロック 進み遅れ判定信号生成回路72で生成された伝送データ 抽出クロックの進み遅れ判定信号をサンプリングするた めのサンプリングクロック信号、86は位相遅れ信号U 83をサンプリング回路73でサンプリングした後のデ ータα、87は位相進み信号D84をサンプリング回路 73でサンプリングした後のデータβ、88はクロック 進み遅れ判定信号生成回路72で生成された伝送データ 【0037】以上のように実施の形態3によれば、位相 20 抽出クロック進み遅れ判定信号をサンプリング回路73 でサンプリングした後のデータPOL、89はアップダ ウンカウンタ74のカウント値の増減である。

> 【0041】以上のように構成された実施の形態4のジ ッタ検出回路について、その動作を以下に説明する。位 相比較器71は、図8に示すように、伝送データ81及 び伝送データ抽出クロック82に対し、その位相差とし て、位相遅れ信号U83および位相進み信号D84を、 信号の幅として出力する。 计选择基系

【0042】クロック進み遅れ判定信号生成回路72% 30 は、伝送データ81の立ち上がりエッジ及び立ち下がり エッジ毎に伝送データ抽出クロック82をサンプリング することにより、伝送データ抽出クロック82につい。 て、伝送データ81に対してクロック遅れ時とクロック 進み時とでクロックの進み遅れを判定する2値の信号を

【0043】サンプリング回路73は、伝送データ抽出 クロック82とは無関係で別の安定したサンプリングク ロック信号85を、サンプリング信号に用いる。このサ ンプリングクロック信号85で位相遅れ信号U83と位 40 相進み信号D84そしてクロック進み遅れ判定信号生成 回路72で生成されるクロックの進み遅れ判定信号をサ ンプリングし、各々、位相遅れ信号U83をサンプリン グした後のデータα86、位相進み信号D84をサンプ リングした後のデータβ87、クロック進み遅れ判定信 号生成回路72で生成されたクロックの進み遅れを判定 する信号をサンプリングした後のデータPOL88を出

【0044】アップダウンカウンタ74は、データα8 6及びデータβ87そしてデータPOL88の各条件に

【0045】ラッチ回路75は、アップダウンカウンタ74でカウントされた値を取り込みデジタル形態のジッタ値として出力する。以上のように実施の形態4によれば、位相比較器の位相遅れ信号Uそして位相進み信号D及び伝送データに対する伝送データ抽出クロックの進み遅れ判定信号を伝送データ抽出クロックとは全く無関係なクロックでサンブリング、そして伝送データ抽出クロックの進み遅れに対しての位相差をカウントすることにより、伝送データに対する伝送データ抽出クロックの進み及び遅れの位相差について積分を行うことが可能となり、伝送データに対する伝送データ抽出クロックのジッタを検出することができる。

【0046】さらにまた、通常、検出したジッタ値は微小な値になることが多く、そのままのジッタ値を使用してサーボの調整等を行う場合には、そのための演算が行いずらくなるが、上記のように、T倍することで、微小なジッタ値を増幅し、演算を行いやすくすることができる。30

[0047]

【発明の効果】以上のように本発明によれば、伝送データおよび伝送データ抽出クロックに対して、伝送データに対する伝送データ抽出クロックの進みまたは遅れの位相差を、伝送データ抽出クロックとは無関係な別のクロック信号でサンプリングしてカウントしさらに積分化して、その積分値に基づく伝送データに対する伝送データ抽出クロックのジッタの検出動作を、2値信号を扱うデジタル処理のみにより実現することができる。 33753833 40

【0048】そのため、伝送データに対する伝送データ抽出クロックのシッタを検出するための回路を、2値によるデジタル処理を行うデジタル信号対応の回路のみで構成することができ、全体の回路規模を小さくしかつ低消費電力化するとともに、検出精度を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のジッタ検出回路の構成 を示すブロック図

【図2】同実施の形態1における動作を説明するための 各部の信号波形図

【図3】本発明の実施の形態2のジッタ検出回路の構成を示すプロック図

【図4】同実施の形態2における動作を説明するための各部の信号波形図

【図5】本発明の実施の形態3のジッタ検出回路の構成を示すプロック図 (1987) (1

【図6】同実施の形態3における動作を説明するための各部の信号波形図

【図7】本発明の実施の形態4のジッタ検出回路の構成を示すプロック図

【図8】同実施の形態4における動作を説明するための 各部の信号波形図

【図9】従来のジッタ検出回路の構成を示すブロック図 【符号の説明】

1,11,31,51,71位相比較器2,12,32,52,72クロック進み遅

2,12,32,52,72 クロック進み遅れ判定信号生成回路

3 位相比較出力制御回路

4 D/A変換回路

5 增幅回路

13,33,53,73 サンプリング回路

14, 34, 54, 74 アップダウンカウンタ

15, 35, 55, 75 ラッチ回路

16,56 サンプリングクロック信号生成回路。

21,41,61,81 ディスクからの伝送データ 波形

22, 42, 62, 82 伝送データから抽出したクロック波形

23,43,63,83. 位相比較器出力の位相遅れ

24, 44, 64, 84

位相比較器出力の位相進み

信号D波形

信号U波形

25, 45, 65, 85 サンプリングクロック信号 波形

26, 46, 66, 86 位相遅れ信号Uのサンプリング後のデータα波形

27, 47, 67, 87 位相進み信号Dのサンプリ

ング後のデータβ波形 28,48,68,88 クロック進み遅れ判定信号 のサンプリング後のデータPOL波形

ペル、H=ハイレベルとして、以下のカップト動作を見 ② POL "クロック選れ料理"、 a "L"、 B" L" の対はカウント値上の、POL"クロック話と対応" 々"L"、β"H"の途はカウントひき 0。Σ 0 L "ゲ

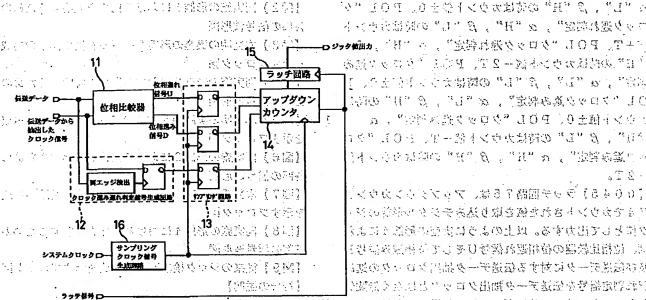
31

ビギ里。POL"クロック海丸領定"、a "目"、dimberce **は**の特質がウント減ー2 T、Pでは、**ウロック技術 ·特丽"II"意,"山"为,"宝牌传递专业日本"山色 こうシト値士 0. POL"クロック名は当む"。 a **II" , 'B "'L" の関はカウント館ーT(上O L "ラロ

「0045」ラッチ回路78は、アップチャンカウン」 ですでカウントされた低を取り込みテラチルが築のア・ ク位として出力する。以上のように守っの終的もによえ は、は相比数器の前補認れ器等リモして同用達みに母注 及び電送データに対する伝統データ部門とロックの実に **ごお舎定福号を伝送データ加出クロッ**つとは立く対認ら 表のロックでサンブリング、そして位置を一々に記り口 ッグの流み遅れに対しての位は流をカモストアミことに より、伝送データに対する伝送デーされまりには、『まき語 ら及び遅れの位相差について収分を行うことが口能とは う、促進データに対する伝送データ提出プロットルジャ 2で検出することができる。

[0048] さらにまた、管整、後5位 セフッタ登代総合を鑑定なることが多く、そのままのフックがまでほし 小な傾になることが多く、 とサーボの勘差等を行う場合には、そのための記号が否 上記のように、 小知 おばこるす命で いずらくなるが、 ディスクからの り度な地位 道道を行いる 伝送データ クロック遅れ 42 クロック強み 伝送データから 抽出したクロック \$ 0.0 Y 位組出触器出力の 位相違れ信号U 45 fair 12 位据比较新出力的 に対する「透デ V 1 位相選外信号D タ蛙音)フ 别差老、均*达*了一 サンプリング クロック個号 位権通れ信号びの 連起をよックの3 いわか リアクア及のデータロ ジタルビ頭頭の型上 位指置み信号Dの がかかけ後のゲータ 00) クロック選及で品談 力が進み遅れ利定要者の クロック遅れ 49 りかりかりのアートアロレ おおさ ファルがほる すうデジタル伝 מומומיז'זא *+1 * ±0 % +2 -1 13°±0 5 -2 10158 この意味がそるとともに、 (分)権の推議) 一出蠟史列

, N =



器互称出口的 的证明特殊的特殊证券的 福岡語金名人口

 $i \in$

28, 62, 72

. (1

11:

. 2 .

ř

[数的运动员的选择数]

や流すプロピク記

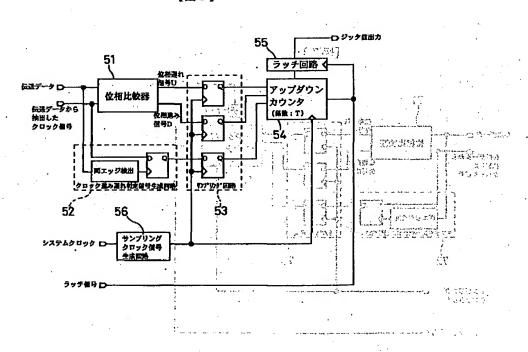
日 30 (図1)素含本 [1]。

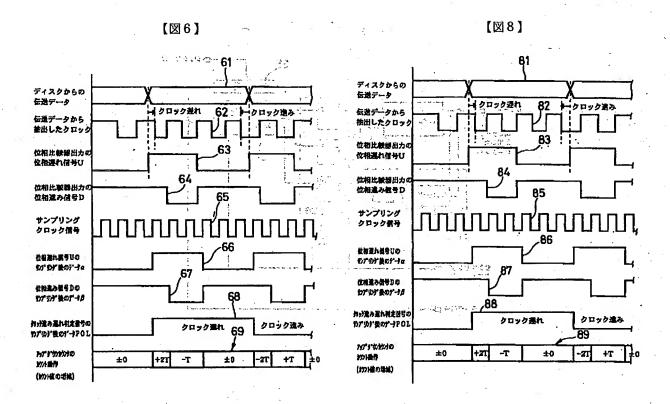
18,88,83 2 8 38,31 . 3 ディスクからの 11. 伝送データ よ クロック遅れ -クロック進み 伝送ゲータから 検出したクロック 位相比較器出力の 位相連れ個号び **位用比较黑出力σ** 经监 位組進み催号D € €, - -サンプリング クロック収号 位相差れ名号いの がない後のがする 位担連み合う口の 28 7777年後の7·4月 行が組み掛れれままりの クロック選み クロック遅れ 29 ヤがリケー後のアーPOI סוכלוועיון דער +1 ±0 ±0 : -2 MYTER (おか)他の場底)

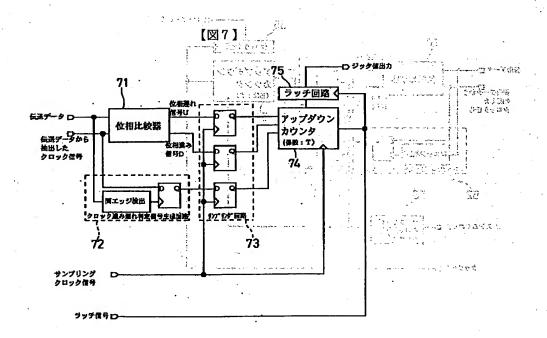
【図3】

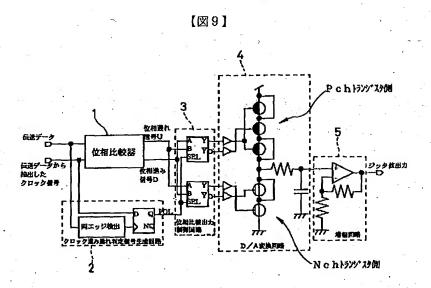
[8:8] ラッチ回路く چەرىدىن ۋىيىچىنى 位据され 12 HU アップダウン 位相比較器 反送ゲージから 輸出した クロック信号 カウンタ สังเรียงเหลื 在相差多 留号D entsperties Geografies WURELP CVIABLE * VII : 15 33 andrasifica Nicological サンプリング ロ クロック保号 2012 Call 17 (2012 V d) 30-1-5 650:33 j -- 14. eratar (Laa. Anto eus od A Treat op Astrono 356 885 N. W 7.4 10 m

[図5]









フロントページの続き

F ターム(参考) 2G030 AA02 AB03 AD01 AF01 AG05 5D044 BC03 CC04 DE32 FG11 GK18 GM26 5D090 AA01 BB02 CC04 CC18 DD03 DD05 FF07 JJ01

.